

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-243926

(P2000-243926A)

(43) 公開日 平成12年9月8日 (2000.9.8)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト (参考)
H 0 1 L 27/10	4 8 1	H 0 1 L 27/10	4 8 1 5 F 0 0 1
27/115			4 3 4 5 F 0 8 3
21/8247		29/78	3 7 1
29/788			
29/792			

審査請求 有 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願平11-46728

(22) 出願日 平成11年2月24日 (1999.2.24)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 渡辺 寿治

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 磯辺 和亜樹

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100083161

弁理士 外川 英明

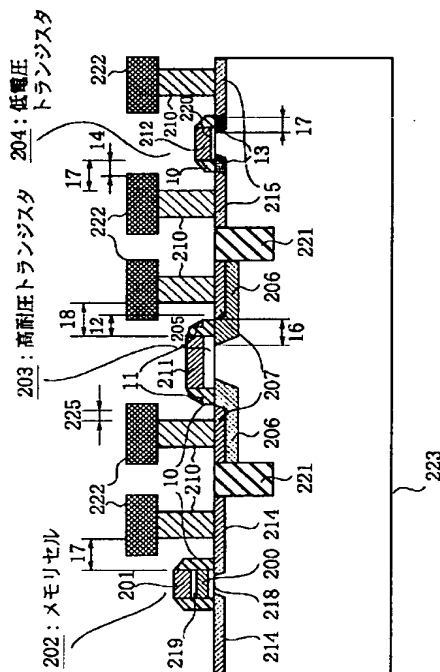
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置とその製造方法

(57) 【要約】

【課題】 不揮発性半導体記憶装置に用いられる高耐圧トランジスタと低電圧トランジスタとでLDD構造を同時に形成した場合に低電圧トランジスタにおいては寄生抵抗が大きく、電流駆動能力が低下してしまう。

【解決手段】 LDD側壁を2種類用意し、高耐圧トランジスタには2種類低電圧トランジスタには1種類の側壁を用いるようにする。



【特許請求の範囲】

【請求項1】電荷蓄積層を有する不揮発性メモリ素子と、LDD側壁を有する第一のMOSトランジスタと、前記第一のMOSトランジスタよりゲート絶縁膜が薄く、かつLDD側壁を有する第二のMOSトランジスタを備えた不揮発性半導体記憶装置において、前記第一のMOSトランジスタのLDD側壁は、ゲート電極に近いほうから夫々第一および第二の側壁から形成され、第一のMOSトランジスタにおいてはLDDを構成する基板と逆導電型の拡散層が第一および第二のLDD側壁の何れの下にも形成され、前記LDD拡散層よりも濃度の濃い拡散層が前記第二の側壁の外側に形成されており、前記第二のMOSトランジスタにおいては基板と逆導電型のLDD拡散層が前記第一の側壁の下に形成され、前記LDD拡散層よりも濃度の濃い拡散層が第一の側壁の外側に形成されることを特徴とする半導体記憶装置。

【請求項2】前記不揮発性メモリ素子および前記の第二のMOSトランジスタは第一の側壁のみ有し、第一のMOSトランジスタは第一および第二の側壁を持つことを特徴とする請求項1記載の半導体記憶装置。

【請求項3】前記不揮発性メモリ素子は少なくとも3以上のトランジスタから構成され、これらのゲート間隔は少なくとも2種類有し、第一のゲート間隔は第一および第二の側壁の膜厚の和の二倍よりも狭く、第二のゲート間隔は第一および第二の側壁の膜厚の和の二倍よりも広いことを特徴とする請求項1及び2記載の半導体記憶装置。

【請求項4】不揮発性メモリセルを有するセル領域と、高耐圧トランジスタ及び低電圧トランジスタとを有する周辺回路領域を含む不揮発性半導体記憶装置の製造方法において、第一導電型の半導体基板に素子分離領域と、メモリセル用のトンネル酸化膜、フローティングゲート電極及びインターポリ絶縁膜とを形成した後、半導体基板上に高耐圧トランジスタ用の第一のゲート絶縁膜を形成する工程と、前記第一のゲート絶縁膜よりも薄い低電圧トランジスタ用の第二のゲート絶縁膜を形成する工程と、コントロールゲート電極及びゲート電極となる導電材料を積層し、前記のコントロールゲート電極とインターポリ絶縁膜とフローティングゲートを順次エッチングにより、選択的にパターニングする工程と、周辺回路領域のゲート電極を選択的にパターニングする工程と、セル領域、周辺回路領域の半導体基板に基板と逆導電型の不純物を導入する工程と、第一の側壁材を堆積する工程と、第二の側壁材を堆積する工程と、第二の側壁材を異方性エッチングにより選択的にエッチングして第一の側壁材の側面に第二の側壁材を側壁残しする工程と、前記第一のゲート絶縁膜の形成された領域の少なくとも一部をカバーして第二の側壁材を選択的にエッチング除去する工程と、第一の側壁材を異方性エッチングにて選択的にエッチングして、前記第一のゲート絶縁膜上のゲート

電極の少なくとも一部に第一および第二の側壁材を側壁残しし、前記第二のゲート絶縁膜上のゲート電極および前記フローティングゲートとコントロールゲートの積層構造の側面には第一の側壁材のみ側壁残しする工程と、露出した半導体基板の少なくとも一部に前記の逆導電型不純物拡散層よりも高濃度の不純物を導入する工程と、その後、基板全面に絶縁膜を堆積する工程と、前記絶縁膜にコンタクトホールを選択的に形成する工程と、少なくとも一層の金属配線を形成する工程と金属配線上に絶縁膜を形成する工程とを具備する半導体記憶装置の製造方法。

【請求項5】不揮発性メモリセルを有するセル領域と、高耐圧トランジスタ及び低電圧トランジスタとを有する周辺回路領域を含む不揮発性半導体記憶装置の製造方法において、第一導電型の半導体基板に素子分離領域と、メモリセル用のトンネル酸化膜、フローティングゲート電極及びインターポリ絶縁膜とを形成した後、半導体基板上に高耐圧トランジスタ用の第一のゲート絶縁膜を形成する工程と、前記第一のゲート絶縁膜よりも薄い低電圧トランジスタ用の第二のゲート絶縁膜を形成する工程と、コントロールゲート電極及びゲート電極となる導電材料を積層し、前記のコントロールゲート電極とインターポリ絶縁膜とフローティングゲートを順次エッチングによりパターニングする工程と、周辺回路領域のゲート電極を選択的にパターニングする工程と、周辺回路領域の半導体基板の第一の領域に基板と逆導電型の不純物を導入する工程と、第一の側壁材を堆積する工程と、第一の側壁材を異方性エッチングで選択的にエッチングしてゲート電極の側壁に第一の側壁材を側壁残しする工程と、前記第二のゲート絶縁膜の領域の少なくとも一部に前記の第一領域の逆導電型の不純物よりも高濃度の逆導電型の不純物を導入する工程と、第二の側壁材を堆積する工程と、第二の側壁材を異方性エッチングにより選択的にエッチングして第一の側壁材の側面に第二の側壁材を側壁残しする工程と、前記第一のゲート絶縁膜の形成された領域の少なくとも一部をカバーして第二の側壁材を選択的にエッチング除去する工程と、第一の絶縁膜の形成された領域の少なくとも一部に前記第一の不純物領域よりも高濃度の基板と逆導電型の不純物を導入する工程と、その後、基板全面に絶縁膜を堆積する工程と、前記絶縁膜にコンタクトホールを選択的に形成する工程と、少なくとも一層の金属配線を形成する工程と金属配線上に絶縁膜を形成する工程とを具備する半導体記憶装置の製造方法。

【請求項6】第二のゲート絶縁膜の形成された領域の上に形成されたゲート電極と、それに隣接する基板と逆導電型の不純物領域に接続するコンタクトホールの距離が前記第一の側壁材の膜厚の和よりも狭く、第二の側壁材がコンタクトホールのエッチングの際に少なくとも一部はエッチングされることを特徴とする請求項5の半導体

記憶装置の製造方法。

【請求項 7】不揮発性メモリセルを有するセル領域と、高耐圧トランジスタ及び低電圧トランジスタとを有する周辺回路領域を含む不揮発性半導体記憶装置の製造方法において、第一導電型の半導体基板に素子分離領域と、メモリセル用のトンネル酸化膜、フローティングゲート電極及びインターポリ絶縁膜とを形成した後、半導体基板上に高耐圧トランジスタ用の第一のゲート絶縁膜を形成する工程と、前記第一のゲート絶縁膜よりも薄い低電圧トランジスタ用の第二のゲート絶縁膜を形成する工程と、コントロールゲート電極及びゲート電極となる導電材を積層し、前記のコントロールゲート電極とインターポリ絶縁膜とフローティングゲートを順次エッチングにより、選択的にパターニングする工程と、周辺回路領域のゲート電極を選択的にパターニングする工程と、セル領域、周辺回路領域の半導体基板に基板と逆導電型の不純物を導入する工程と、第一の側壁材を堆積する工程と、第二の側壁材を堆積する工程と、前記第一のゲート絶縁膜の形成された領域の少なくとも一部をカバーして第二の側壁材を等方性エッチングにより選択的にエッチングして、前記第二のゲート絶縁膜上のゲート電極および前記フローティングゲートとコントロールゲートの積層構造に堆積された第一の側壁材の上に堆積された第二の側壁材を除去する工程と、第二の側壁材、第一の側壁材を順次異方性エッチングにより側壁残しし、前記第一のゲート絶縁膜少なくとも一部には第一および第二の側壁材を側壁残しし、前記第二のゲート絶縁膜上のゲート電極および前記フローティングゲートとコントロールゲートの積層構造の側面には第一の側壁材のみ側壁残しする工程と、露出した半導体基板の少なくとも一部に前記の逆導電型不純物よりも高濃度の不純物を導入する工程と、その後、基板全面に絶縁膜を形成する工程と、前記絶縁膜にコンタクトホールを選択的に形成する工程と、少なくとも一層の金属配線を形成する工程と、金属配線を形成する工程と、金属配線上に絶縁膜を形成する工程とを具備する半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶装置特に不揮発性記憶装置及びその製造方法に関するものである。

【0002】

【従来の技術】従来技術の不揮発性半導体記憶装置の構造を図 8 を用いて説明する。図 8 は NOR 型フラッシュメモリのセル部と周辺回路部の構造を示す断面図である。NOR 型フラッシュメモリは記憶保持能力を持つフローティングゲート 200 とコントロールゲート 201 の積層構造からなるスタックトランジスタのメモリセル 202 のほかに、高耐圧トランジスタ 203 と、低電圧用トランジスタ 204 が存在する。高耐圧トランジスタ

203 は書き込み／消去など十数 V の高電圧を発生、転送するために使用する。高耐圧トランジスタ 203 においては、ゲート酸化膜 205 が高電圧で絶縁破壊しないように例えば 20 nm と厚くなっているだけでなく、ソース・ドレイン拡散層のジャンクション耐圧も十数 V もつように高くする必要がある。そのため N マイナス拡散層 206 が深く拡散されると同時に N プラス拡散層 207 と N マイナス拡散層の先端までの距離 208 が大きくとられており、空乏層（図示せず）が延びやすくなってジャンクション耐圧を上げている。このためにはいわゆる LDD 構造において側壁 209 の厚さを例えば 0.2 μm と厚くしている。N マイナスイオン注入はゲート電極 211 を加工後、自己整合的に行ない、後に側壁 209 を形成後、N プラス拡散層 207 を形成するイオン注入を行えば 208 の距離を大きくとることが出来る。この時、低電圧用トランジスタ用の側壁 209a も、セル 202 の側壁 209b も高耐圧トランジスタと同じく厚い側壁が形成される。

【0003】

【発明が解決しようとする課題】この時各トランジスタのコンタクトホール 210 と各ゲート電極 201、211、212 との距離 213 は側壁の厚さ 214 と側壁とコンタクトの合わせ余裕 225 の和となる。225 はコンタクトホールとゲート電極の合わせずれの精度と、それぞれの寸法の精度によって決められる。コンタクトホール 210 がゲート電極に合わせずれて接近するか、それぞれのサイズが大きくなることでコンタクトホール 210 が側壁材 209、209a、209b に乗り上げると、側壁 209、209a、209b がエッチングされにくい材料である場合はコンタクトホールの底面（ソース・ドレイン拡散層と接触）の面積が小さくなるためコンタクト抵抗が大きくなる。一方、側壁 209、209a、209b にコンタクト孔が接触しないように十分な距離、例えば 0.2 μm を離れた場合はコンタクトホール 210 とゲート電極の距離 213 は 0.4 μm と大きな値となる。このことにより特にメモリセル 202 においてはメモリセルサイズの増大となる。メモリセル領域においてはソース・ドレイン 214 はフローティングゲート 200 にオーバーラップする部分まで、N プラス拡散層 214 が形成されているため LDD 側壁 209b は必要ない。ただ周辺トランジスタ 203 の LDD 形成の際に、いっしょに側壁が形成されるだけであるので、厚い LDD 側壁のためにセルサイズが大きくなってしまうのは大きな問題である。また周辺回路の低電圧トランジスタ 204 においても、側壁 209a が厚くなることによってソース・ドレイン拡散層の N プラス拡散層 215 端から N マイナス拡散層 216 端の N マイナスだけの部分 217 が長くなるので、寄生抵抗が大きくなり、トランジスタの電流駆動能力が低下する問題点があった。低電圧トランジスタ 204 においては高いジャンクション

耐圧は不要であるので、回路パターンが大きくなったうえ、性能が劣化するという副作用だけであった。以上はNチャネルトランジスタを例にして説明したがPチャネルトランジスタにおいても同様である。

【0004】尚、218はメモリセルのトンネル酸化膜、219は絶縁膜、220は低電圧トランジスタ204の薄いゲート酸化膜、221はシャロートレンチアイソレーション、222は電極、223は半導体基板である。

【0005】

【課題を解決するための手段】LDD側壁を二種類使用し、高耐圧トランジスタのNプラス拡散層は二種類の側壁の外側からイオン注入してNマイナス拡散層の長さ

(LDD長)を長くしてジャンクション耐圧を高くするとともに、低電圧トランジスタでは第一の側壁の外側からNプラスをイオン注入することでLDD長を短くして、寄生抵抗の上昇を防ぐ。また第二の側壁トランジスタにおいては除去しても良いし、残っていてもコンタクトエッチングの際に選択比が取れない物質であればコンタクトエッチングの際に部分的に除去出来るので、コンタクトホールとゲート電極の間隔を小さくすることが出来る。

【0006】

【発明の実施の形態】(1) 実施例1

本発明による第一の実施例を図1に示した断面図を用いて説明する。図1はNOR型フラッシュに適応した例である。メモリセル202と低電圧トランジスタ204においては薄い側壁10として例えば厚さ100nmのシリコンナイトライドが形成されている。高耐圧トランジスタ203においては側壁10に加え第二の側壁11が例えば100nmの厚さで形成されているので、高耐圧トランジスタ203の側壁のトータルの厚さ12は200nmと、従来技術の半導体記憶装置を同一である。一方、低電圧トランジスタ204においては第一の側壁10だけであるので、側壁の厚さ14は100nmと薄い。そのためコンタクトホール210とゲート電極212の距離も300nmと、従来技術より小さく出来るので、周辺回路の低電圧トランジスタ204とメモリセル202においてはパターン面積の縮小が可能である。また低電圧トランジスタ204においてはNマイナスだけの領域13の部分が短くなるので寄生抵抗も小さくなる。図1に示した第一の実施例の半導体記憶装置の製造方法を図2～図5に示す。まず半導体基板223上に素子分離領域221とメモリセル202のトンネル酸化膜218、フローティングゲート200及びインターポリ絶縁膜219と高耐圧系トランジスタ203の酸化膜205と、低電圧系トランジスタ204のゲート酸化膜220と、セルのコントロールゲート電極201、高耐圧トランジスタゲート電極211、低電圧トランジスタ204のゲート電極212を形成した後、それぞれのゲート電

極に対して自己整合的に所望のイオン注入・拡散を行いソース・ドレインを形成すると、図2のようとなる。ゲート電極の側面およびソース・ドレイン領域には後酸化膜(図示せず)が形成されている。高耐圧トランジスタ203のソース・ドレインにはNマイナス拡散層206が、低電圧トランジスタ204のソース・ドレイン領域にもNマイナス領域215が形成されているが、低電圧トランジスタ204のNマイナス領域215は高耐圧トランジスタ203のNマイナス領域206より浅く、濃度は濃い方が性能的には望ましいので、206をリンのイオン注入、215をヒ素のイオン注入で形成する。一方、メモリセル202のソース・ドレイン領域にはNプラス拡散層214が形成されている。Nプラス拡散層214と同時にボロンを注入していわゆるPポケット(図示せず)として、ホットエレクトロン書き込みの注入効率を高くすることもできる。

【0007】次に図3のように第一の側壁10として例えばシリコンナイトライド膜を100nmと第二の側壁11として例えばシリコン酸化膜100nmを順次堆積する。次にシリコン酸化膜11を異方性エッチングで選択的にエッチングして各ゲート電極のシリコンナイトライド膜10の側面に側壁残しを行う。その後、高耐圧トランジスタ203の領域をフォトレジスト15でカバーすると図4のようになる。この後、フォトレジスト15でカバーされていないメモリセル202と低電圧トランジスタ204のゲート電極の側壁に形成されているシリコン酸化膜11をウェットエッチング、例えば弗化アンモニウムでエッチングして、フォトレジスト15を剥離除去する。これにより、高耐圧トランジスタ203ではレジストでカバーされていたので、シリコン酸化膜11が残っているが、低電圧トランジスタ204とメモリセル202ではエッチング除去されてる。次にシリコンナイトライド膜10を選択的に異方性エッチングでエッチングし、各トランジスタのゲート電極の側壁にシリコンナイトライド膜10を残すとともにそれ以外の部分は除去する。除去された部分の半導体基板223にゲート電極と自己整合的にソース・ドレインのイオンの注入及び拡散を行うと図5のようになる。その後、全面にCVD等により絶縁膜を被覆した後、コンタクトホール210を開口し、そこに導電膜を埋め込み、所望の電極222を接続して図1に示したNOR型フラッシュを得る。この実施例によれば、側壁が二重になっている高耐圧トランジスタ203では側壁の厚さ12が厚くなっているため、Nプラス拡散層207からNマイナス拡散層206の先端までの距離16が長くなっているが、一方、メモリセル202のトランジスタと低電圧トランジスタ204のゲート電極201、212とコンタクトホール210の間の距離17は、従来よりも側壁10の厚さ14が薄くなっている。従って、その分、距離が短く(高耐圧トランジスタ203のゲート/コンタクトホール間の距

離18よりも短い)、セル面積を小さくすることが可能となっている。しかも低電圧トランジスタ204のNマイナスだけの部分13は、薄い側壁10のために従来よりも短くできるので寄生抵抗が抑えられ電流駆動能力を低下させることもない。

【0008】なお、この実施例の変形例として以下のようによすることも可能である。すなわち、図3で第一の側壁膜10、第二の側壁膜11を形成した後、高耐圧トランジスタ203の領域をフォトレジストでカバーし、第二の側壁膜11を等方性エッチング、たとえば、弗化アンモニウムを使用して選択的にエッチングする。これにより、高耐圧トランジスタ203の領域を除く領域では第二の側壁膜11は除去され、第一の側壁膜10の表面が露出する。その後、フォトレジスト15を剥離除去する。次に、高耐圧トランジスタ203領域に残ったシリコン酸化膜11を選択的に異方性エッチングでエッチングし、高耐圧トランジスタのゲート電極のシリコンナイトライド膜10側壁にその一部11を残す。さらにその後、シリコンナイトライド膜10を選択的に異方性エッチングでエッチングし、各トランジスタの側壁にシリコンナイトライド膜10を残すとともにそれ以外の部分は除去する。除去された部分の半導体基板223にゲート電極と自己整合的にソース・ドレインのイオン注入および拡散を行う。その後、実施例1で説明したように全面にCVD等により絶縁膜を被覆した後、コンタクトホール210を開孔し、そこに導電膜を埋め込み、所望の電極222を接続して図1に示したNOR型フラッシュを得る。

【0009】この変形例によっても、前記実施例1と同様の効果を得る事ができる。

(2) 実施例2

本発明による第二の実施例を図6の断面図に示す。図6も先の第1の実施例と同様にNOR型フラッシュに適応した例である。セル202と高耐圧トランジスタ203および低電圧トランジスタ204においては第一の側壁20(例えば100nmのシリコンナイトライド膜)と第二の側壁21(例えば100nmのシリコン酸化膜)が形成されている。高耐圧トランジスタ203においては第二の側壁21の外からNプラス拡散層207を形成してある。一方、低電圧トランジスタ204においては第一の側壁20の外から打たれたNプラス拡散層215が形成されている。メモリセル202においては第一の側壁20、第二の側壁21を形成する前にソース・ドレイン拡散層214を形成するので、どちらの側壁とも拡散層の上にある。このようにすれば、高耐圧トランジスタ203においてはNプラス拡散層207からNマイナス拡散層206の先端までの距離22は大きく出来、低電圧トランジスタ204においてはその距離23を小さくできる。このため高耐圧トランジスタ203の高いジャンクション耐圧と低電圧トランジスタ204の寄生抵

抗の減少が可能である。図6に示したNOR型フラッシュの製造方法を図7から図10の工程断面図を示す。

【0010】まず、図2で説明したようにメモリセル202、高耐圧トランジスタ203、低電圧トランジスタ204を形成した、第一の側壁となる100nmの膜厚のシリコンナイトライド膜20を全面に形成する(図7)。但し、この工程では低電圧トランジスタ204のソース・ドレインはNマイナス拡散層13のみが先に形成される。その後、図8に示すようにシリコンナイトライド膜20を異方性エッチングでエッチングし、各ゲート電極の側壁にのみ第一の側壁としてシリコンナイトライド膜20を残す。次いで低電圧トランジスタ204のNプラス拡散層215を第一の側壁20の外側からのイオン注入及び拡散により形成する。その後、図9に示すように全面にシリコン酸化膜21を形成し、さらにこの酸化膜21を異方性エッチングによりエッチングすることにより図10に示すように各ゲート電極の第一の側壁20のさらに外側の側壁に第二の側壁21を形成する。その後、コンタクトホールの形成、電極の形成等を第一の実施例と同様に行うことにより図6のNOR型フラッシュメモリを得ることができる。以上述べたように第二の実施例が第一の実施例と異なる点は、メモリセルのトランジスタ202と低電圧トランジスタ204のゲート電極201、212の側壁に第一及び第二の側壁材20、21を高耐圧トランジスタ203と同様に残している点、及び図8、9の低電圧トランジスタ204のNプラス拡散層215を第一の側壁材20を側壁残した後、第二の側壁材21を形成する前にこの第一の側壁材をゲート電極212とをマスクにしてイオン注入する点である。

【0011】(3) 実施例3

第三の実施例を図11に示す。図11はNOR型フラッシュに適用した例である。第二の実施例同様、セル部202と高耐圧トランジスタ203および低電圧トランジスタ204においては第一の側壁30と第二の側壁31が形成されている。各トランジスタのソース・ドレイン拡散層の作り方も実施例二と同様であるが、この実施例では第二の側壁31がコンタクト孔210のエッチングの時に選択比のとれない材料、例えば100nmの厚さのアンダーブシリコン酸化膜またはリンドープシリコン酸化膜(PSG)、またはボロンとリンを含むシリコン酸化膜(BPSG)などを使用し、第一の側壁30にコンタクトエッチングの際に選択比のとれる材料、例えば100nmのシリコンナイトライド(SiN)またはオキシナイトライド(SiON)などの絶縁膜を使用する。高耐圧トランジスタ203においてはコンタクトとゲートの距離はこれまでに説明した実施例と同様に取るが、セル部202と低電圧トランジスタ204においては第一の側壁材30とコンタクト孔210の距離をフォトリソグラフィの合わせ精度および寸法精度まで決まる

距離としてある。この場合、メモリセル、低電圧トランジスタにおいては第二の側壁の少なくとも一部はコンタクトのエッチングの際にエッチングされることになるが、コンタクトホールとゲートの距離34は第一の実施例と同様に高耐圧トランジスタにおける距離35より狭く出来るので、低電圧トランジスタの寄生抵抗の回避だけでなく、パターンサイズの縮小にも効果がある。

【0012】尚、いうまでもなく低電圧トランジスタ204と高耐圧トランジスタ203とでNマイナスだけの拡散層32、206の長さは低電圧トランジスタの方33が高耐圧トランジスタの方22よりも短い。

(4) 実施例4

第四の実施例を図12に示す。図12は第三の実施例の応用例である。図12はNOR型フラッシュメモリのセル部を説明する図であるが、周辺回路においては第三の実施例または第二の実施例と同様である。図12においては4ビット分のセルの断面図が図示されている。ドレイン拡散層40とソース拡散層41の間にコントロールゲート42とフローティングゲート43からなるメモリセルが形成されている。ドレイン拡散層はビット線コンタクト46を介してビット線47に接続されている。一方ビット線コンタクトが形成される側のゲート間隔44は第一の側壁48の厚さの二倍より広い。すなわちスペースが第一の側壁48で埋まってしまわない。一方、ソース拡散層の側のゲート間隔45は第一の側壁の厚さと、第二の側壁の厚さの和の二倍より狭い。すなわちゲートスペースは側壁で確実に埋まってしまふ。図の例では45は第一の側壁の厚さよりも狭いので、第二の側壁49を形成する前に第一の側壁で埋まっている。スペース44については第一の側壁の厚さの二倍より少しでも広ければ、第二の側壁で埋まる部分（コンタクトホール開口可能）が形成されるが、余りにも狭すぎるとコンタクト抵抗の上昇を招くので、実際には第一の側壁の厚さの二倍とコンタクトホールの開口径の和程度が必要である。

【0013】尚、この実施例ではビット線に接続されるドレイン拡散層、40上の側壁として第二の側壁49が残るようにしたが、第一の実施例のプロセスを行えば前記ドレイン拡散上の第二の側壁49を形成されないようにすることも可能である。

(5) 実施例5

第五の実施例を図13に示す。図13は第三の実施例の応用例である。図13にはNAND型フラッシュメモリのセル部を説明する図であるが、周辺回路においては第三の実施例または第二の実施例と同様である。図13においてはセレクトゲート50、51とその間に挟まれた4ビット分のセルの断面図が図示されている。通常は8個から16個のセルがあるが省略している。ドレイン拡散層53aはビット線コンタクト54を介してビット線55に接続されている。一方ビット線コンタクトが形成

される側のゲート間隔56は第一の側壁57の厚さの二倍より広い。すなわちスペースが第一の側壁で埋まってしまふことはない。一方隣接するコントロールゲートの間の距離58aとセレクトゲートとコントロールゲートの間の距離58bは第一の側壁の厚さと、第二の側壁59の厚さの和の二倍より狭い。すなわちゲートスペースは側壁で確実に埋まってしまふ。ソース線53bを挟んだスペースは図7の例では二種類の側壁の厚さの二倍の和より大きくなっており、側壁では埋まっていないが、ソース線を拡散層で接続する場合は側壁で埋めても良いし、コンタクトホール（図示せず）を介して配線する場合でも図のように側壁の異方性エッチングの後にソース拡散層53bが露出する必要はなく、少なくとも第一の側壁の膜厚の二倍よりは大きくして第一の側壁だけで埋まってしまわないようにする必要はある。実施例4同様、余りにも狭すぎるコンタクト抵抗の上昇を招くので、実際には第一の側壁の厚さの二倍とコンタクトホールの開口径の和程度が必要である。

【0014】尚、この実施例ではビット線に接続されるドレイン拡散層、53a上の側壁及びソース線に接続される拡散層53b上の側壁として第二の側壁59が残るようにしたが、第一の実施例のプロセスを行えば前記拡散層53a、53b上の第二の側壁を形成されないようにすることも可能である。

【0015】

【発明の効果】高耐圧トランジスタのジャンクション耐圧と低電圧トランジスタの寄生抵抗の低下を両立できるとともに、低電圧トランジスタやセル部ではコンタクトとゲートの距離を小さくしてパターンサイズの縮小が出来る。これらに加えて、側壁を比較的段差被覆率の高いLPCVD法などでデポしたSiN膜やSiO₂膜（アンドープまたは不純物ドーパ）などが使用すれば、スタックゲート型のフラッシュメモリのようなゲート間のスペースのアスペクト比が大きなデバイスでも比較的容易に埋め込むことが出来、ボイドなどの発生しにくい半導体記憶装置を提供することが出来る。

【図面の簡単な説明】

【図1】 本発明の第一の実施例を示す断面図である。

【図2】 本発明の第一の実施例を説明するための工程断面図である。

【図3】 本発明の第一の実施例を説明するための工程断面図である。

【図4】 本発明の第一の実施例を説明するための工程断面図である。

【図5】 本発明の第一の実施例を説明するための工程断面図である。

【図6】 本発明の第二の実施例を示す断面図である。

【図7】 本発明の第二の実施例を説明するための工

程断面図である。

【図 8】 本発明の第二の実施例を説明するための工程断面図である。

【図 9】 本発明の第二の実施例を説明するための工程断面図である。

【図 10】 本発明の第二の実施例を説明するための工程断面図である。

【図 11】 本発明の第三の実施例を示す断面図である。

【図 12】 本発明の第四の実施例を示す断面図である。

【図 13】 本発明の第五の実施例を示す断面図である。

【図 14】 従来例を説明するための断面図である。

【符号の説明】

10, 20, 30, 48, 57…第一の側壁

11, 21, 31, 49, 59…第二の側壁

13, 206…Nマイナス拡散層

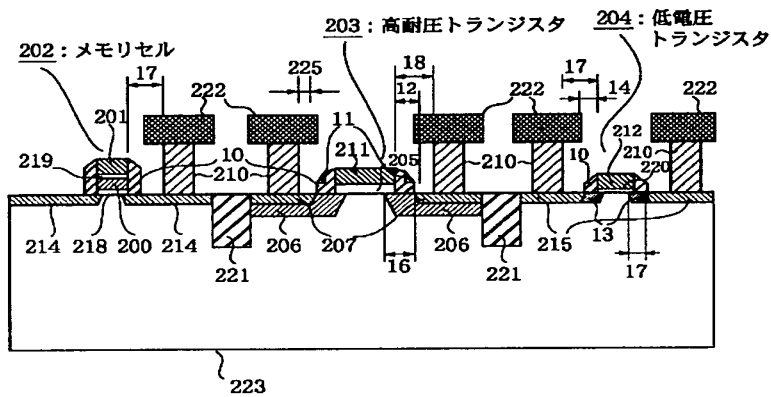
207, 214, 215…Nプラス拡散層

202…メモリセル

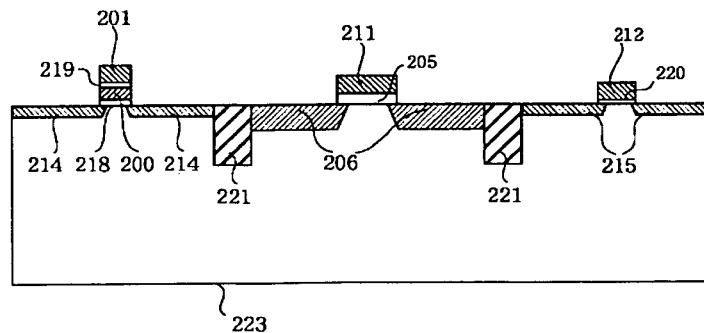
203…高耐圧トランジスタ

204…低電圧トランジスタ

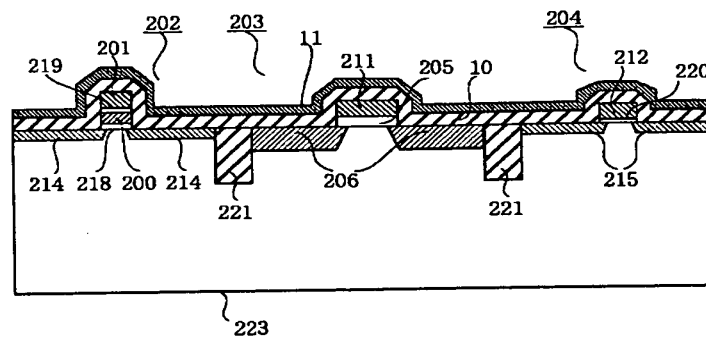
【図 1】



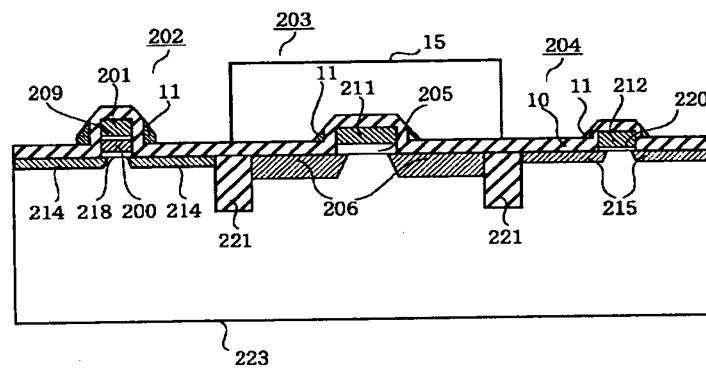
【図 2】



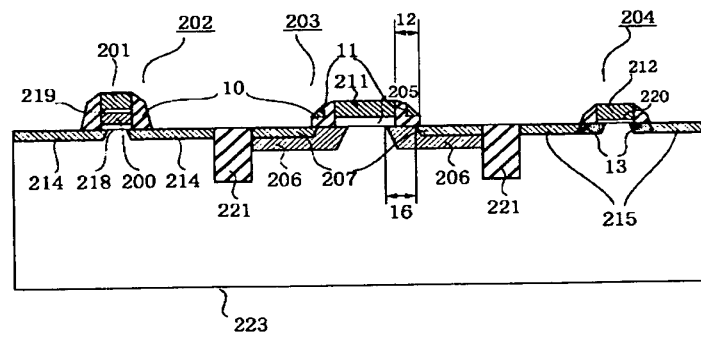
【図 3】



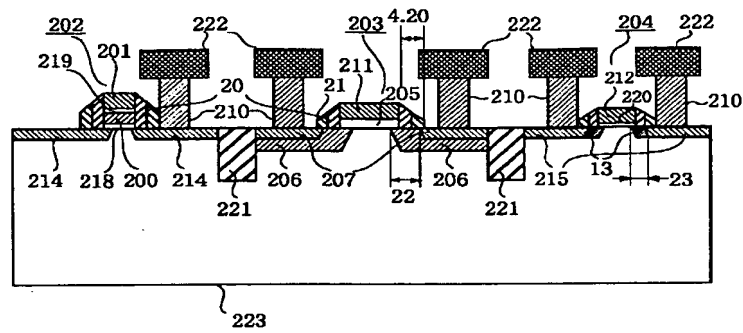
【図 4】



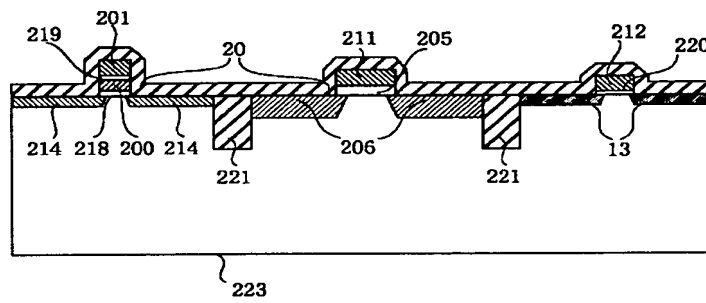
【図 5】



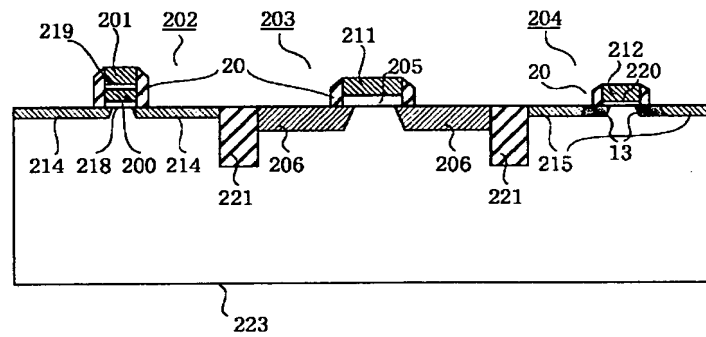
【図 6】



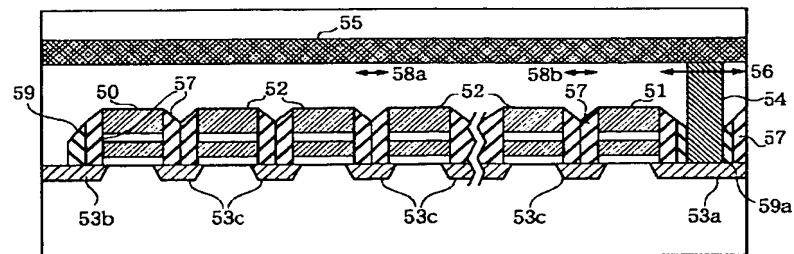
【図 7】



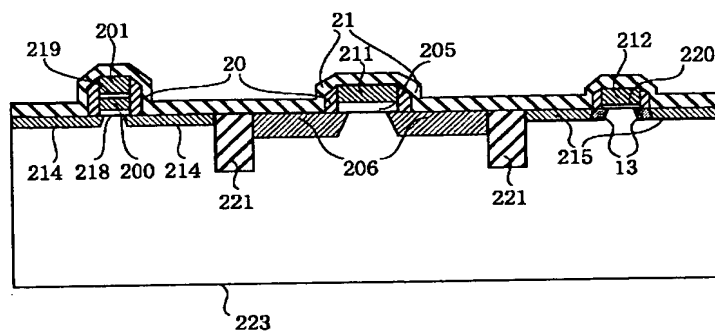
【図 8】



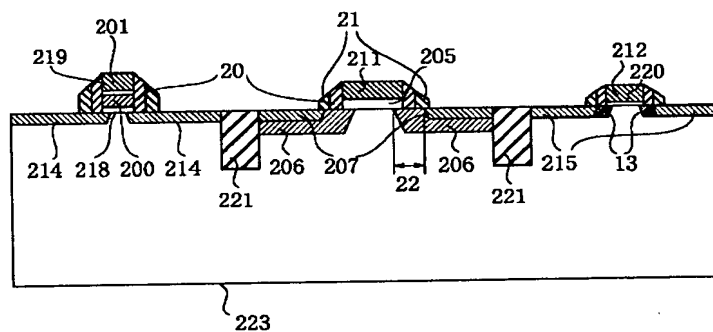
【図 13】



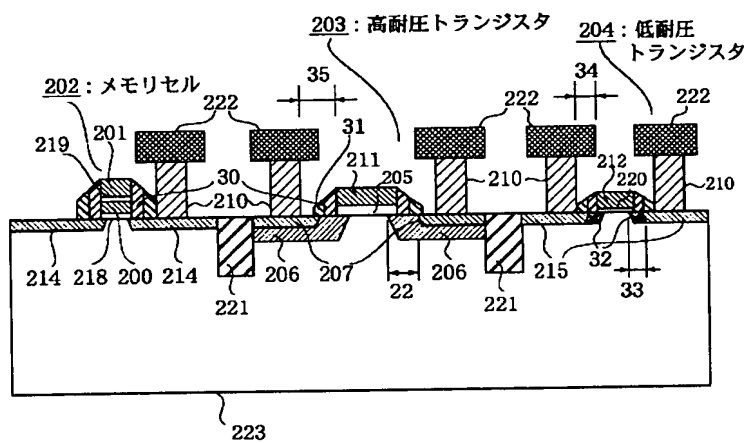
【図 9】



【図 10】



【図 11】



F ターム (参考) 5F001 AA25 AB08 AD16 AD17 AD18
AD20 AD44 AF10 AG10 AG12
AG21 AG29 AG40
5F083 EP02 EP23 EP63 ER22 GA02
GA05 GA09 GA24 MA06 MA20
PR03 PR05 PR43 PR44 PR45
PR53 PR54 PR55 ZA06 ZA08